

DANTE AUGUSTO COUTO BARONE*

SUMÁRIO

Atualmente, as arquiteturas multi-microprocessadores vem sendo cada vez mais utilizadas, principalmente em robótica e inteligências artificial. Estas arquiteturas necessitam que o barramento comum seja alocado adequadamente. Neste trabalho apresentamos a concepção de um circuito arbitrador VLSI o qual integra poderosas funções associadas à alocação do barramento.

ABSTRACT

Nowadays, the multi-microprocessor architectures are used in computer fields like robotics and artificial intelligence. These architectures must present an appropriate bus allocation function. In this work, we present the design of a VLSI arbiter circuit, which integrates powerful functions associated to the bus allocation control.

*Engenheiro Eletrônico (UFRGS, 1978), Mestre em Engenharia Elétrica (USP, 1981), "Docteur Ingenieur" em Informática (INPG, 1984); concepção de circuitos integrados, arquiteturas de computadores e multi-microprocessadores, Professor Adjunto da UFRGS, Caixa Postal 1501, Porto Alegre - RS - CEP 90000. Te.: 0512 - 218499.

Os sistemas multi-microprocessadores tem se revelado uma solução atrativa desde aplicações em escritório até aplicações industriais.

Estes sistemas são organizados em torno de um barramento, de sorte que a informação trocada entre módulos mestre e seus recursos comuns, como memória e dispositivos de entrada e saída é suportada por um meio físico comum, chamado de barramento. Atualmente, a importância dos barramentos paralelos está aumentando consideravelmente. Alguns desses barramentos tornaram-se padronizados pelo órgão americano IEEE, (Institute of Electrical and Electronics Engineering). Esses barramentos por serem compartilhados necessitam uma função de controle para alocar o meio, evitando assim que módulos mestre pudessem ocupar simultaneamente o meio. Este controle é realizado frequentemente por um circuito chamado arbitrador. Circuitos arbitradores assíncronos [1] [2] ou síncronos [3] foram desenvolvidos com o propósito de alocar convenientemente o meio físico. Alguns desses arbitradores foram realizados através de circuitos integrados específicos.

Um importante inconveniente ligado à diversidade de barramentos paralelos decorre do fato de a técnica de arbitragem associada a cada barramento ser específica ao barramento em questão, não sendo compatível com outros.

Esta restrição impede a utilização de arbitradores mais poderosos em outros barramentos, o que seria altamente vantajoso, pois tais circuitos podem apresentar características tais como:

- permitir níveis cíclicos de prioridade
- mecanismos de controle de erro
- arbitragem distribuída

O circuito VLSI ABC M (Arbitre de Bus de Communication Multiprotocoles) desenvolvido no Centre National d'Études des Télécommunications de Grenoble, o qual é descrito neste artigo, foi concebido com os objetivos de propiciar uma função da arbitragem poderosa.

O circuito ABC M foi concebido para realizar a função de alocação em diferentes barramentos:

- a) MULTIBUS (IEEE P796)
- b) VME BUS (IEEE P1014)
- c) SM BUS; barramento utilizado na arquitetura multi-microprocessadores heterogêneos SM90, desenvolvida no CNET - Paris e comercializada pela companhia francesa SEMS.

Entre os pesquisadores que podem se interessar por este projeto destacamos os engenheiros que estão desenvolvendo novas placas e novas arquiteturas para barramentos paralelos.

Como nós consideramos para nosso estudo diferentes barramentos de comunicação paralelos e suas respectivas técnicas de arbitragem, as quais variam de acordo com o fabricante, nós escolhemos como hipótese de trabalho [4] de estudar a compatibilidade do circuito arbitrador mais poderoso com os outros dois tipos de barramento analisados.

O circuito arbitrador escolhido foi o circuito VLSI ABC 90 [5] o qual foi concebido para realizar a função de alocação da arquitetura SM 90 [6]. Este circuito apresenta algumas características, como capacidade de realização de arbitragem distribuída, incorporação de mecanismos de controle de erro e consideração de prioridades cíclicas no algoritmo interno de resolução de prioridade, as quais não se acham presentes nos circuitos arbitradores dos barramentos MULTIBUS, cuja arbitragem é realizada por componentes TTL (codificador e decodificador) [7] e VME (circuito MC 68452 [8]). Em realidade, estes últimos arbitradores são muito simples permitindo unicamente prioridades fixas associadas aos diferentes módulos mestre conectados ao barramento, além do que a arbitragem é realizada de forma centralizada.

Este estudo preliminar permitiu-nos de:

- definir as diferentes configurações arquiteturais (centralizada e distribuída) em que podemos colocar o circuito ABC 90, para que este possa realizar convenientemente a função de alocação em barramentos originalmente não compatíveis com este circuito: MULTIBUS e VME.
- definir a lógica discreta necessária a ser adicionada ao circuito ABC 90 para que o mesmo realize corretamente a função de alocação.

Nosso estudo de compatibilidade entre diferentes arbitradores e barramentos incluem uma análise aprofundada dos três barramentos analisados e de seus respectivos arbitradores.

Para realizar esta análise, nós consideramos três aspectos principais de compatibilidade:

- lógica, para demonstrar que os circuitos envolvidos podem dialogar corretamente.
- elétrica, para mostrar como os problemas de interface elétrica, como tipo de saída (coletor aberto, TTL) e capacidade de drenar corrente podem ser resolvidos [9] [10].
- mecânica, para mostrar como os fios dos barramentos padronizados podem ser usados para realizar a função de alocação. A compatibilidade mecânica torna-se mais facilmente obtida quando a arbitragem é realizada em um contexto distribuído, devido ao maior número de sinais envolvidos [9] [10].

Esta análise aprofundada não será desenvolvida neste artigo; sendo encontrada em [4].

Contudo, mostraremos para ilustrar esquematicamente a arquitetura de compatibilidade MULTIBUS - ABC 90 proposta (fig.1):

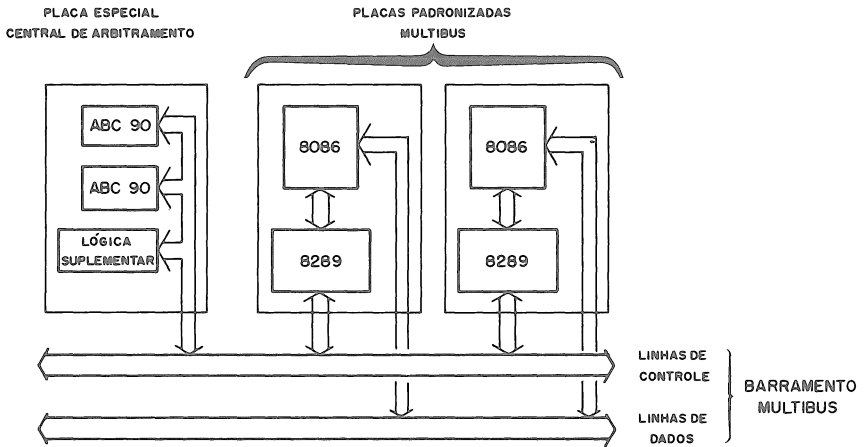


Fig. 1: Arquitetura discreta de arbitramento: MULTIBUS - ABC 90

A arquitetura mostrada consiste de algumas placas padronizadas MULTIBUS contendo cada uma um arbitrador de barramento desenvolvido por INTEL (8289) e uma placa especial de arbitragem. Esta placa substitui a placa original contendo os circuitos responsáveis pela arbitragem (codificador (74LS138) e decodificador (74LS148)). Esta placa especial, por nós proposta, contém alguns circuitos ABC 90 além de lógica suplementar necessária.

Neste artigo, chamamos de placa padronizada as placas manufaturadas e distribuídas comercialmente (como placas da família do microprocessador INTEL, 8086, da chamada família SBC) e de placa especial, uma placa desenvolvida especificamente pelo engenheiro de hardware de uma arquitetura multi-microprocessadores (como a placa de arbitragem centralizada contendo os circuitos ABC90, por nós proposta). Em nosso trabalho colocamos sempre os arbitradores de referência (no caso o ABC 90) neste segundo tipo de placa, para não desperdiçarmos a compatibilidade com placas porventura existentes no mercado.

Nesta arquitetura MULTIBUS - ABC 90, devido à simples substituição de uma placa especial por uma padronizada (contendo os circuitos codificador e decodificador), não encontramos nenhum problema de compatibilidade mecânica, enquanto a compatibilidade elétrica é facilmente obtível [4].

A placa central de arbitragem contém no mínimo igual número de circuitos ABC 90 que há placas padronizadas conectadas ao barramento MULTIBUS. Em realidade, há uma correspondência unívoca entre a posição física de cada placa padronizada no bastidor com um circuito ABC 90 localizado na placa especial central de arbitragem (parâmetro de posição física UC).

A necessidade do haver esta correspondência decorre de uma restrição do algoritmo interno do circuito ABC 90: os circuitos ABC 90 tendo sido concebidos para uma arquitetura onde a arbitragem é distribuída (arquitetura SM 90) somente o circuito arbitrador associado ao mestre que efetuou a última transferência de dados através do barramento de ve "divulgar" qual o próximo mestre que deterá este direito, enquanto os circuitos codificador-decodificador "divulgam" sistematicamente.

Para tornar possível a compatibilidade lógica entre os circuitos ABC 90 e 8289, alguns componentes discretos foram introduzidos na placa especial.

VALIDAÇÃO

Devido ao fato de que nossas arquiteturas de compatibilidades cruzada são complexas (principalmente quando utilizamos circuitos ABC 90 para realizar uma arbitragem distribuída em arquiteturas de arbitragem originariamente centralizadas) devemos validá-las.

Decidimos em não implementar fisicamente as arquiteturas propostas devido à não disponibilidade de arquiteturas multi-microprocessadores compatíveis com os barramentos MULTIBUS e VME no local onde foi desenvolvido este projeto (CNET - Grenoble) e também devido aos tempos de desenvolvimento requeridos. Contudo várias possibilidades de validação podem ser consideradas.

Dentro de nossos propósitos, as ferramentas de Projeto Assistido pro Computador (PAC) apropriadas aos nossos objetivos de validação deveriam permitir:

- a) possibilidade de descrição de módulos especificados por cronogramas (problema encontrado na descrição do comportamento do circuito 8289, do qual não conhecemos a implementação lógica interna).
- b) possibilidade de simulação de uma arquitetura completa descrita como um conjunto de diferentes módulos.
- c) possibilidade de realizar provas de coerência formal.

Tendo em mente estas considerações, tornou-se evidente para nós que ferramentas de validação teórica (condição c) são inadequadas para provar a coerência de arquiteturas cujos

elementos são descritos por cronogramas. Conseqüentemente, escolhemos dois tipos de ferramentas de PAC:

- uma linguagem de alto nível do tipo HDL (FIDEL | 12|) foi utilizada para resolver a condição a descrita anteriormente.
- um simulador lógico (EPILOG |13|) foi utilizado para resolver a condição b.

Devemos ressaltar que FIDEL e EPILOG são ferramentas de PAC compatíveis.

RESULTADOS DE SIMULAÇÃO

Os resultados principais obtidos através das simulações são descritos a seguir:

- o tempo de arbitramento é de cerca de 240ns para as arquiteturas centralizadas e cerca de 470ns para as arquiteturas de arbitragem distribuída (VME - ABC 90 e MULTIBUS - ABC 90)
- o relógio de resolução de prioridade (sinal BCLK) do barramento MULTIBUS tem seu período aumentado para 400ns (o período mínimo para BCLK é de 100ns).
- a escolha do algoritmo de resolução de prioridade é livre para o usuário, podendo este configurar os módulos mestre conectados ao barramento em prioridade fixa ou rotativa. Além disso, pode-se ter também alguns mestre em prioridade fixa e outros em rotativa. Devemos lembrar que somente níveis fixos de prioridade são propostos pelas técnicas originais de arbitramento MULTIBUS ou VME.

No caso da arquitetura de arbitragem ser distribuída o algoritmo de cálculo das prioridades é mais complexo: se o último mestre a deter o barramento é configurado em uma placa padronizada, a divulgação do próximo mestre do barramento será feita pela placa especial central de arbitragem; se o último mestre a deter o barramento configurado em carta especial, tendo um circuito ABC 90 associado ao mesmo a divulgação será efetuada por este circuito. As arquiteturas distribuídas não serão discutidas em detalhes neste trabalho.

CONCEPÇÃO DE UM ARBITRADOR VLSI MULTIPROTOCOLOS

A segunda parte do projeto consistiu na concepção de um circuito integrado de comunicação, chamado ABC M, projetado como uma extensão das especificações do circuito ABC 90 e baseado na análise dos resultados obtidos que viemos de mostrar.

O circuito ABC M deve realizar a função de alocação em diferentes arquiteturas multiprocessadores para três tipos de barramento: MULTIBUS, VME BUS e SM BUS. Por outro lado podemos configurar o ABC M como arbitro de barramento local, o qual serve para conectar recursos de E/S e de memória de um microprocessador (mestre único do barramento local) como controladores de disco, controladores de DMA e etc. Este último tipo de aplicação não é possível com o circuito ABC 90.

Como nós vimos anteriormente, os principais obstáculos, para a utilização diretamente compatível do circuito ABC 90 com os barramentos MULTIBUS e VME são:

- "timing" de divulgação do direito de acesso ao barramento (veredito) = somente um circuito ABC 90 publica o veredito a cada vez (aquele associado com o último mestre possuidor do barramento). Esta dificuldade obrigava a placa central de arbitragem comportar tantos arbitradores quanto o número de placas padronizadas conectadas ao barramento (ver figura 1).
- o número e o "timing" dos bits de publicação do veredito (quatro para o circuito ABC 90 e somente um para os barramentos MULTIBUS e VME).
- o fato que o circuito ABC 90 realiza a sua função de arbitragem somente se um pedido local de acesso ao barramento realizado pelo microprocessador associado ao arbitrador ocorre (sinal DAB). Desde que o sinal DAB é ativado, o circuito ABC 90 gera automaticamente um sinal, chamado BREQ, que é transmitido ao barramento, o qual ativa simultaneamente a função de arbitragem em todos os ABC 90 conectados ao barramento. Como este sinal não encontra análogo nos fios padronizados pelos barramentos MULTIBUS e VME, o mesmo é gerado através de componentes discretos.

Para resolver estes problemas nós analisamos diferentes algoritmos possíveis para o circuito ABC M. A implementação da melhor solução algorítmica por nós encontrada se caracteriza por:

- 1) - aumentar o número de pinos para 40 (o circuito ABC 90 apresenta 28 pinos)
 - os doze pinos suplementares consistem de:
 - a) dois pinos que servem para definir o modo de funcionamento do circuito:
 - RWD ("release when done")= o mestre libera o barramento assim que termina a utilização do mesmo
 - ROR ("release on request")= o mestre só libera o barramento, se um pedido mais prioritário é formulado
 - modo SM 90 = o circuito ABC M funciona tal qual um arbitrador ABC 90 em uma arquitetura SM 90.
 - b) oito pinos que apresentam o veredito codificado (um fio dos oito é ativado somente a cada vez)
 - c) dois pinos para desacoplar as linhas de alimentação no interior do circuito (um pino suplementar para VDD e outro para VSS).
- 2) - permitir de haver ou não uma divulgação permanente do veredito. No modo de funcionamento SM 90, cada circuito ABC M tal como o circuito ABC 90 não publica sistematicamente o veredito, ao invés dos dois outros modos onde todos os circuitos ABC M presentes na arquitetura publicam o veredito em paralelo. Isto pode ser implementado através de um modificação lógica do circuito ABC 90.

- 3) - introduzir uma lógica suplementar para respeitar as diferentes características da utilização do arbitrador multiprotocolos ABC M em três tipos diferentes de barramento, no tocante à publicação do veredito tais como:
 - diferentes "timing"
 - diferentes número de bits associados
- 4) - introduzir um autômato suplementar de controle para resolver o problema da geração do sinal de pedido de arbitragem (BREQ) (o circuito ABC 90 apresenta quatro autômatos de controle implementados por um formalismo próximo das redes de Petri).

SIMULAÇÃO DO CIRCUITO ABC M

Uma vez que as modificações aportadas ao circuito ABC 90 transformando-o em arbitrador multi-protocolos são complexas, como viemos de descrever, as mesmas devem ser validadas por computador.

Nós utilizamos a mesma metodologia de validação que foi utilizada para a validação das arquiteturas de arbitramento discretas construídas a partir do circuito ABC 90.

- descrição em FIDEL para o circuito 8289 e a unidade de pedido de barramento (bus request unity) no caso dos barramentos MULTIBUS e VME, respectivamente.
- descrição e simulação de toda arquitetura em EPILOG.

Os resultados obtidos podem ser resumidos a seguir:

- o tempo de arbitramento é constante e de cerca de 250 ns para cada uma das arquiteturas compatíveis propostas: centralizada ou distribuída. No caso do barramento VME este tempo é de cerca de 60ns. No caso do barramento MULTIBUS, o retardo associado ao circuito ABC M é traduzido por um aumento do período do relógio de resolução de prioridade (BCLK) que fica em 400ns.

No entanto, devemos ressaltar que este maior tempo de arbitramento não causa uma lentidão na transferência efetiva de dados através do barramento, pois o circuito ABC M tal como o arbitrador ABC 90 permitem a realização de arbitragem "cachê", ou seja, durante a ocupação do barramento por um módulo mestre, os arbitradores determinam qual o mestre que terá o direito de ocupar o meio, assim que acabar a transferência em curso.

- a configuração de prioridade (fixa ou rotativa) de cada módulo mestre apresenta total liberdade aos utilizadores do circuito ABC M.

Além dos resultados de simulação nós podemos concluir através da figura 2, que mostra uma arquitetura centralizada MULTIBUS, que além das vantagens acima enumeradas o circuito ABC M se constitui em solução econômica comparada com a utilização correspondente do circuito ABC 90, mostrada na figura 1. Esta característica material (número de

componentes discretos associados à função de arbitragem) é ainda mais acentuada no caso das arquiteturas distribuídas.

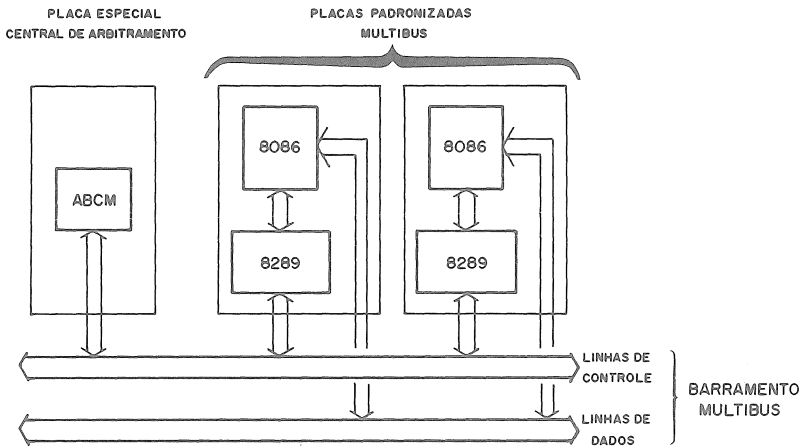


Fig. 2: Arquitetura integrada de arbitramento: MULTIBUS - ABC M

LAY-OUT DO CIRCUIT

Na implantação do ABC M em Silício, nós tivemos em mente um compromisso entre diferentes características:

- facilidade de corte do plano de massa original do circuito ABC 90
- problema de colocação de novas trilhas internas e "routing"
- introdução de novos blocos lógicos

O plano de massa obtido para o circuito ABC M, é cerca de 20% superior ao correspondente plano de massa do arbitrador ABC 90, contendo cerca de 10% a mais de transistores.

O circuito ABC M foi concebido em tecnologia NMOS, comprimento do canal de 3,5 μ m, nas regras de desenho da indústria francesa MATRA-HARRIS e do CNET - Grenoble com as seguintes ferramentas de PAC:

- banco de dados específico CASSIOPEE [14]:
 - algumas partes foram desenhadas utilizando uma linguagem simbólica do tipo stick M [15] e outras foram automaticamente sintetizadas (como autômato de controle suplementar e alguns PLA).
- sistema CALMA:
 - realizamos a conferência das regras de desenho (DRC: design rules checking) e a ge

ração das fitas contendo o conteúdo de cotas para posterior fabricação das máscaras.

CONCLUSÕES

Se compararmos a utilização do ABCM com as técnicas de arbitragem de origem para os barramentos MULTIBUS e VME, concluímos que o circuito ABC M permite:

- consideração de níveis cíclicos de prioridade
- mecanismos de controle de erro e recuperação em caso de erro
- redundância de serviços
- arbitramento distribuído

Devemos enfatizar que apenas algumas das vantagens descritas acima podem ser obtidas com a solução ABC 90.

Além de adicionar funções poderosas, a solução totalmente integrada (realização de arbitramento através do circuito ABC M) é mais econômica e fiável.

Além do fato de ser o circuito ABC M uma alternativa atrativa para barramento paralelos existentes, esperamos que nosso estudo possa ser utilizado como referência a futuros estudos de compatibilidade entre diferentes barramentos e diferentes arbitradores.

Finalmente, cumpre ressaltar que atualmente um minucioso estudo de marketing vem sendo efetivado na França, onde foi concebido o circuito ABC M, com vistas à fabricação industrial do mesmo em grande escala.

BIBLIOGRAFIA

- [1] | PLUMMER, W.W. Asynchronons arbiters. IEEE Trans. on Computers, C-21 (1): 37-42, Jan. 1972.
- [2] | PEARCE, R.C.; FIELD, J.A.; LITTLE, W.D. Asynchronous arbiter module. IEEE Trans. on Computers, C-24 (9): 931-2 Sept. 1975.
- [3] | SCORDALAKES, N.E. Arbiter handles shared resources for multiprocessor. Computer Design, 20(12): 175-6, Dec. 1981.
- [4] | BARONE, D.A.C. Conception d'un circuit intégré arbitre de bus de communication multiprotocoles: ABC M. Grenoble, Institut National Polytechnique de Grenoble, 1984. (Tese de doutorado)
- [5] | OLIVE, C. & ROUQUIER, D. Conception d'un circuit intégré arbitre de bus ABC 90. In: CONGRESS de l' AFCET, Lille, oct. 1982.

- |6 | FINGER, U & MEDIGUE, G. Architecture multiprocesseur; l'exemple de la SM 90. Minis et Micros, oct. 1982.
- |7 | INTEL CORPORATION. Multibus data book. 1983
- |8 | MOTOROLA SEMICONDUCTORS. MC68452 advance information. 1983
- |9 | INTEL CORPORATION. INTEL multibus specifications. 1981.
- |10| MOTOROLA SEMICONDUCTORS. VME bus specification manual M68KVMEB (D1) microsystems. s.d.
- |11| INTEL CORPORATION. 8289 bus arbiter technical notes. July 1979.
- |12| HAZEM, M.; MAZARE, G.; POIZE, M.; PUISSOCHET, A. Functional modelling for logic simulation. In: INTERNATIONAL CONFERENCE IN COMPUTER DESIGN, New York, oct. 1984. Proceedings. New York, IEEE, 1984.
- |13| EPILOG manual de reference. Jan. 1979.
- |14| BEYLS, A. M. et alii. A design methodology based upon symbolic lay-out and integrated CAD tools. In: DESIGN AUTOMATION CONFERENCE, 19., Las Vegas, June 14-16, 1982. Proceedings. New York, ACM, 1982. p. 872-8.
- |15| MEAD, C. & CONWAY, L. Introduction to VLSI systems. Reading, Addison-Wesley, 1980.

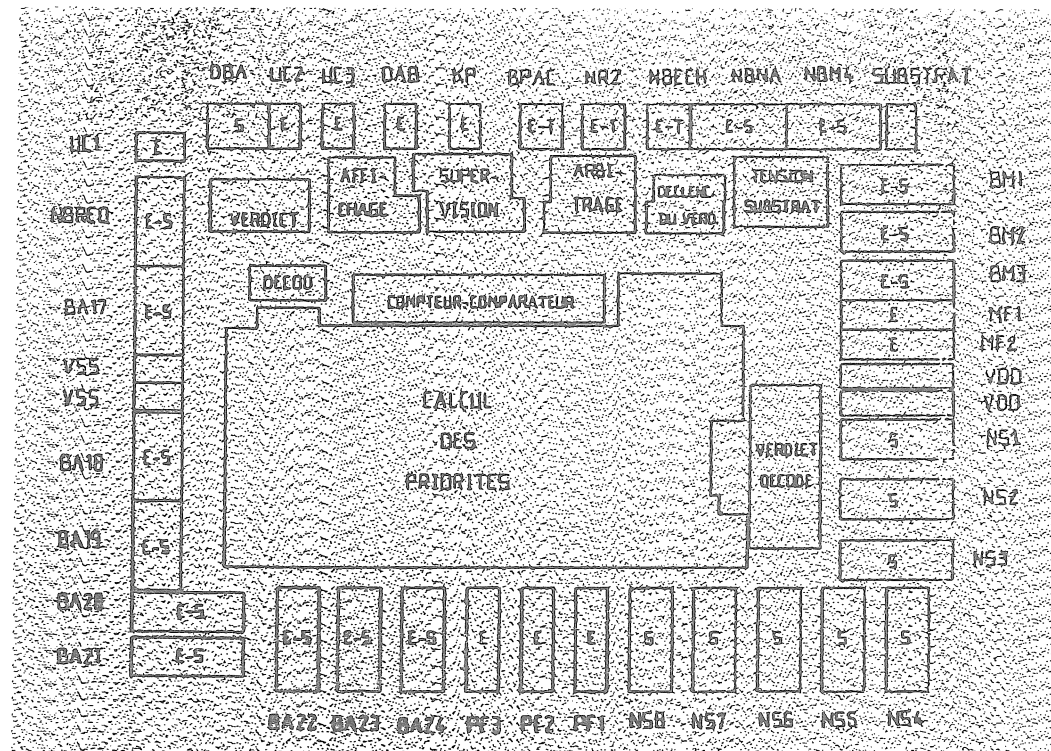


Figure 40 - plan de masse de l'ABC M